

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 1 9 日
Date of Application:

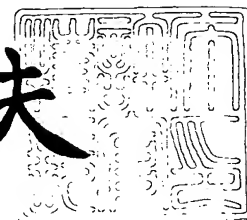
出 願 番 号 特 願 2 0 0 2 - 2 1 0 6 0 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 1 0 6 0 0]

出 願 人 ブラザー工業株式会社
Applicant(s):

2 0 0 3 年 7 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



57R910

出証番号 出証特 2 0 0 3 - 3 0 5 6 9 7 5

【書類名】 特許願

【整理番号】 2002031500

【提出日】 平成14年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/028
H01L 27/14

【発明者】

【住所又は居所】 名古屋市瑞穂区苗代町 1 5 番 1 号
ブラザー工業株式会社内

【氏名】 加藤 哲也

【発明者】

【住所又は居所】 名古屋市瑞穂区苗代町 1 5 番 1 号
ブラザー工業株式会社内

【氏名】 佐藤 龍也

【特許出願人】

【識別番号】 000005267

【氏名又は名称】 ブラザー工業株式会社

【代表者】 取締役社長 安井 義博

【代理人】

【識別番号】 100109195

【弁理士】

【氏名又は名称】 武藤 勝典

【電話番号】 052-824-2463

【選任した代理人】

【識別番号】 100110755

【弁理士】

【氏名又は名称】 田辺 政一

【手数料の表示】

【予納台帳番号】 109576

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0018483

【包括委任状番号】 0100658

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読取装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列され、被読取体からの反射光量に応じたアナログの読取画像信号を発生する複数の光電変換素子と、

該光電変換素子からの画像信号を読み出すために各光電変換素子に対応して設けられた複数のスイッチ素子と、

前記複数の光電変換素子を、互いに隣接する任意個数（N）ずつのものを 1 組として複数の組にブロック分けし、各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、前記複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御する制御部と、

を備えたイメージセンサを用いる画像読取装置であって、

上記イメージセンサの各組に属する光電変換素子の個数（N）と同じ個数の信号入力部と 1 つの信号出力部とが備えられており、その各信号入力部に対して前記イメージセンサの各組に属する複数の各光電変換素子からの画像信号が同時に並列的に入力するように、各組に属する複数の各光電変換素子とスイッチ素子を介して接続されているマルチプレクサと、

そのマルチプレクサの前記 1 つの信号出力部に接続され、その信号出力部を介して順次供給されるアナログの画像信号をデジタル信号に変換するアナログ・デジタル変換器と、

前記マルチプレクサの複数の信号入力部を時系列的に切り替えて、各組に属する光電変換素子からの全ての画像信号を順次アナログ・デジタル変換器に供給する高解像度モードと、一部の画像信号のみを前記アナログ・デジタル変換器に供給する低解像度モードとを選択可能とした解像度切換手段と

を備えたことを特徴とする画像読取装置。

【請求項 2】 請求項 1 記載の画像読取装置において、前記解像度切換手段は、低解像度モードが選択されたとき、いずれか 1 つの信号入力部からの画像信号のみをアナログ・デジタル変換器に供給するように構成されていることを特徴とする画像読取装置。

【請求項 3】 請求項 1 または 2 記載の画像読取装置において、前記解像度切換手段は、低解像度モードが選択されたとき、前記マルチプレクサの一部の信号入力部を時系列的に切り替えて、一部の信号入力部からの画像信号のみをアナログ・デジタル変換器に供給するように構成されていることを特徴とする画像読取装置。

【請求項 4】 請求項 1 ～ 3 のいずれか記載の画像読取装置において、前記解像度切換手段による低解像度モードとは別に、前記イメージセンサの各組に属する複数の光電変換素子の内の任意の信号分を平均化して出力可能な平均化回路を持ち、その出力信号をアナログ・デジタル変換器に供給する第 2 の低解像度モードが選択可能とされていることを特徴とする画像読取装置。

【請求項 5】 請求項 4 記載の画像読取装置において、前記平均化回路は、各組に属する光電変換素子からの全ての信号分を平均化して、アナログ・デジタル変換器に供給するように構成されていることを特徴とする画像読取装置。

【請求項 6】 請求項 4 記載の画像読取装置において、前記平均化回路は、各組に属する光電変換素子からの一部の信号分を平均化して、アナログ・デジタル変換器に供給するように構成されていることを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえば、ファクシミリ装置などにおいて、原稿などの画像を読み取る密着型のリニアイメージセンサ（CIS）として構成されたMOS型イメージセンサを用いる画像読取装置に関するものである。

【0002】

【従来の技術】

従来、ファクシミリ装置などで原稿画像を読み取るために用いられるイメージセンサとしては、いわゆるCCD型イメージセンサと、MOS型イメージセンサとがあるが、このうち、密着型イメージセンサ（CIS）としては、MOS型リニアイメージセンサが比較的によく用いられている。

【0003】

図15は、一般的なMOS型リニアイメージセンサ100を示すもので、原稿面からの反射光を電気信号に変換する複数の光電変換素子（ホトトランジスタあるいはホトダイオード）101と、該光電変換素子101からアナログの読取画像信号を読み出すための複数のスイッチ素子（アナログスイッチ）102と、該スイッチ素子102を時間的に順次制御するための制御部（シフトレジスタ）103とをLSI化して1チップに構成されている。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来のイメージセンサにおいて、特に、高解像度の要求を満たすために、主走査方向に多数の光電変換素子を配列したイメージセンサにおいては、読取速度の高速化を進める上で、以下のような問題があった。

【0005】

第1に、スイッチ素子102として、高速のスイッチング動作が可能なアナログスイッチが必要とされるとともに、光電変換素子からの読取画像信号を増幅するアナログアンプ104としても高速のものが要求される。

【0006】

第2に、制御部103として、スイッチ素子102と同数のフリップフロップ回路からなるシフトレジスタが必要となるため、フリップフロップ回路が占める面積が大きくなり、センサチップ全体の大きさが大型化してしまう。

【0007】

第3に、駆動クロック周波数が高くなると、クロック信号の高周波成分を除去することが困難となるために、EMI（Electromagnetic interference）ノイズが問題となる。

【0008】

第4に、高解像度の画像読取りを可能とするために、多数の光電変換素子が主走査方向に多数配列されているイメージセンサを採用した場合に、読取条件を変更して、たとえば、低解像度で読み取りたいときであっても、一旦高解像度で読み取ってから、画像信号を間引いたり、あるいは平均値を求める等の処理を行って解像度変換をしなければならなかった。従って、低解像度の読取りであって

も、読取りに非常に時間が掛かるため、たとえば、解像度よりも読取速度を優先して読み取りたいというニーズには応えることができないという問題があった。

【0 0 0 9】

そこで、本発明は、上記問題点を解決するためになされたものであり、特に、クロック信号を高速にしなくとも、高速読取りが可能であって、スイッチ素子やアナログアンプとして高速動作が可能なものが要求されないし、フリップフロップ回路の数を減らしてシフトレジスタの占める面積を小さくすることにより小型化も可能であり、さらには、EMIノイズが発生する虞れも少ないし、また、必要に応じて、低解像度の読取りも高速に行うことが可能な画像読取装置を提供することを目的とする。

【0 0 1 0】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 に記載の画像読取装置は、主走査方向に配列され、被読取体からの反射光量に応じたアナログの読取画像信号を発生する複数の光電変換素子と、該光電変換素子からの画像信号を読み出すために各光電変換素子に対応して設けられた複数のスイッチ素子と、前記複数の光電変換素子を、互いに隣接する任意個数（N）ずつのものを 1 組として複数の組にブロック分けし、各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、前記複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御する制御部と、を備えたイメージセンサを用いる画像読取装置であって、

上記イメージセンサの各組に属する光電変換素子の個数（N）と同じ個数の信号入力部と 1 つの信号出力部とが備えられており、その各信号入力部に対して前記イメージセンサの各組に属する複数の各光電変換素子からの画像信号が同時に並列的に入力するように、各組に属する複数の各光電変換素子とスイッチ素子を介して接続されているマルチプレクサと、そのマルチプレクサの前記 1 つの信号出力部に接続され、その信号出力部を介して順次供給されるアナログの画像信号をデジタル信号に変換するアナログ・デジタル変換器と、前記マルチプレクサの複数の信号入力部を時系列的に切り替えて、各組に属する光電変換素子からの全ての画像信号を順次アナログ・デジタル変換器に供給する高解像度モードと

、一部の画像信号のみを前記アナログ・デジタル変換器に供給する低解像度モードとを選択可能とした解像度切換手段とを備えたことを特徴とする。

【0011】

この請求項1に係る画像読取装置では、複数の光電変換素子を、互いに隣り合う任意個数(N)ずつのものを1組として複数の組にブロック分けし、その各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、制御部によって複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御するようにしているので、従来のイメージセンサに対して、クロック信号の周波数を $1/N$ に低減することが可能となり、スイッチ素子として高速のスイッチング動作を行うものが必要とされないし、また、制御部を構成するシフトレジスタのフリップフロップ回路の個数も $1/N$ に減らすことができるので、その分、センサ全体の大きさを小さくすることが可能となる。さらに、低速のクロック信号で高速読取りが可能であるので、EMIノイズが発生する虞れも少ない。

【0012】

しかも、解像度切換手段によって、各組に属する複数の光電変換素子からの画像信号をマルチプレクサによって時系列的に切り替えることにより、高解像度の読取りが可能であることは勿論のこと、一部の画像信号のみをアナログ・デジタル変換器に供給することによって、低解像度の読取りを行うことも可能である。

【0013】

また、請求項2に記載の画像読取装置は、請求項1記載の画像読取装置において、前記解像度切換手段は、低解像度モードが選択されたとき、いずれか1つの信号入力部からの画像信号のみをアナログ・デジタル変換器に供給するように構成されていることを特徴とする。

【0014】

この請求項2に係る画像読取装置では、マルチプレクサの複数の入力部の内のいずれか1つの信号入力部からの画像信号のみがアナログ・デジタル変換器に供給されるので、低解像度の読取画像信号を容易にしかも高速度に行うことができる。

【0015】

また、請求項3に記載の画像読取装置は、請求項1または2に記載の画像読取装置において、前記解像度切換手段は、低解像度モードが選択されたとき、前記マルチプレクサの一部の信号入力部を時系列的に切り替えて、一部の信号入力部からの画像信号のみをアナログ・デジタル変換器に供給するように構成されていることを特徴とする。

【0016】

この請求項3に係る画像読取装置では、マルチプレクサの複数の信号入力部の内の一部の信号入力部を時系列的に切り替えて、少なくとも1つの信号入力部を除いた他の信号入力部からの画像信号がアナログ・デジタル変換器に供給されるので、たとえば、高解像度モードにおける解像度に対して、 $2/3$ に相当する低解像度であっても、容易に得ることができる。

【0017】

また、請求項4に記載の画像読取装置は、請求項1～3のいずれかに記載の画像読取装置において、前記解像度切換手段による低解像度モードとは別に、前記イメージセンサの各組に属する複数の光電変換素子の内の任意の信号分を平均化して出力可能な平均化回路を持ち、その出力信号をアナログ・デジタル変換器に供給する第2の低解像度モードが選択可能とされていることを特徴とする。

【0018】

この請求項4に係る画像読取装置では、イメージセンサの各組に属する複数の光電変換素子の内の任意の信号分を平均化して、アナログ・デジタル変換器に供給することもできるので、一定間隔置きの画像信号のみを利用した、いわゆる、単純間引きによる低解像度読取りの他に、必要に応じて、複数の画像信号を平均化した低解像度読取りも簡単に行うことができる。

【0019】

また、請求項5に記載の画像読取装置は、請求項4に記載の画像読取装置において、前記平均化回路は、各組に属する光電変換素子からの全ての信号分を平均化して、アナログ・デジタル変換器に供給するように構成されていることを特徴とする。

【 0 0 2 0 】

この請求項 5 に係る画像読取装置では、各組に属する光電変換素子からの全ての信号分を平均化した信号がアナログ・デジタル変換器に供給されるので、全ての画像信号を有効に利用して、たとえば、細線の保存性を確保しつつ、高速度で読取を行いたい場合などに極めて好都合である。

【 0 0 2 1 】

また、請求項 6 に記載の画像読取装置は、請求項 4 記載の画像読取装置において、前記平均化回路は、各組に属する光電変換素子からの一部の信号分を平均化して、アナログ・デジタル変換器に供給するように構成されていることを特徴とする。

【 0 0 2 2 】

この請求項 6 に係る画像読取装置では、各組に属する複数の光電変換素子の内の少なくとも 1 つを除いた複数の信号分を平均化した信号がアナログ・デジタル変換器に供給されるので、低解像度の読取画像信号として、いろいろと変化に富んだ画像信号を出力することができる。

【 0 0 2 3 】**【発明の実施の形態】**

以下、本発明に係るイメージセンサを用いた画像読取装置について、本発明を具体化した実施形態に基づき図面を参照しつつ詳細に説明する。

【 0 0 2 4 】

先ず、第 1 の実施形態について、図 1 ～図 4 に基づき説明する。

【 0 0 2 5 】

図 1 は、第 1 の実施形態における MOS 型リニアイメージセンサ 1 0 の概略構成を示すもので、たとえば、ファクシミリなどの原稿読取装置において、密着型イメージセンサ（C I S）として使用される。

【 0 0 2 6 】

図 1 において、イメージセンサ（C I S）1 0 は、原稿からの反射光量に応じてアナログの読取画像信号が発生する光電変換素子としての多数のホトトランジスタ P 1 ～P n と、その各ホトトランジスタ P 1 ～P n に接続されたスイッチ素

子としての多数のアナログスイッチSW1～SWnとが備えられ、主走査方向に多数のホトトランジスタP1～Pnが配列されて、いわゆるリニアイメージセンサとして構成されている点は、図15に示される従来のものと同様であるが、多数のホトトランジスタP1～Pnを、互いに隣り合う任意個数(N)ずつのものを1組として複数の組にブロック分けし、その各組に属する複数個(N)のホトトランジスタの画像信号が同時に読み出されるように、その各ホトトランジスタに接続されたアナログスイッチが同時にオン動作するように構成されている点が異なっている。

【0027】

すなわち、主走査方向に1728個のホトトランジスタが配列されたイメージセンサにおいては、互いに隣り合う3個(N=3)のホトトランジスタを1組として、計576個の組にブロック分けし、その各組に属する3個のホトトランジスタ(P1～P3, P4～P6, , P1726～P1728)の画像信号が同時に読み出されるように、その各ホトトランジスタに接続された3個のアナログスイッチ(SW1～SW3, SW4～SW6, , SW1726～SW1728)が同時にオン動作するように構成されている。

【0028】

一方、各アナログスイッチSW1～SWnを外部からのクロック信号に基づいて時間的に制御するためのシフトレジスタ(制御部)11は、従来のものと同様に、複数のフリップフロップ回路によって構成されるが、本実施形態では、ブロック分けした計576個の組に対応して、これと同数の計576個のフリップフロップ回路により構成されている。

【0029】

シフトレジスタ11を構成する計576個のフリップフロップ回路の各々の出力は、計576個の組の各アナログスイッチSW1～SWnに対して、各組に属する3個のアナログスイッチ(SW1～SW3, SW4～SW6, , SW1726～SW1728)が同時にオン動作するように、各組毎で共通に接続されている。

【0030】

これにより、シフトレジスタ 11 は、スタートパルス SP が供給された後、外部から与えられるクロック信号 CLK に基づいて、各フリップフロップ回路の出力端子から制御信号 Sa1、Sa2・・・が順次出力され、たとえば、制御信号 Sa1 が出力された時点で、1 番目の組に属する 3 個のアナログスイッチ (SW1～SW3) が同時にオン動作し、次いで、制御信号 Sa2 が出力された時点で、2 番目の組に属する 3 個のアナログスイッチ (SW4～SW6) が同時にオン動作し、そして、3 番目の組、4 番目の組といったように順次進行して、最後に、制御信号 Sa576 が出力された時点で、576 番目の組に属する 3 個のアナログスイッチ (SW1726～SW1728) が同時にオン動作する。

【0031】

そして、本実施形態のイメージセンサ 10 には、ブロック分けした各組に属するホトトランジスタ P (アナログスイッチ SW) の数と同数、すなわち、3 本の信号出力線 L1～L3 が備えられており、その各信号出力線 L1～L3 に対して、各組に属する複数個 (3 個) のホトトランジスタ P からの画像信号が並列的に出力されるように、各組に属する複数個のホトトランジスタ P に接続された複数個のアナログスイッチ SW が互いに異なる信号出力線 L1～L3 に接続されており、たとえば、各組の第 1 のアナログスイッチ (SW1, SW4, …… , SW1726) は、第 1 の信号出力線 L1 に接続され、各組の第 2 のアナログスイッチ (SW2, SW5, …… , SW1727) は、第 2 の信号出力線 L2 に接続され、各組の第 3 のアナログスイッチ (SW3, SW6, …… , SW1728) は、第 3 の信号出力線 L3 に接続されている。

【0032】

また、複数本 (3 本) の信号出力線 L1～L3 には、各アナログスイッチ SW1～SWn を介して読み出された各ホトトランジスタ P1～Pn からの画像信号を増幅するためのアナログアンプ AMP1～AMP3 が夫々設けられており、その各信号出力線 L1～L3 に対して 1 対 1 の関係で設けられた 3 個の出力端子 OUT1～OUT3 から、3 チャンネルの出力信号 CH1～CH3 として、各読取信号がイメージセンサ外部に出力されるようになっている。

【0033】

なお、図2は、本実施形態におけるホトトランジスタP及びアナログスイッチSWの構成をより詳細に示すものであり、計1728個のホトトランジスタP1～PnとアナログスイッチSW1～SWn、計576個のフリップフロップ回路からなるシフトレジスタ11、そして、計3個のアナログアンプAMP1～AMP3の全てが、1個の半導体材料に形成されている。すなわち、1チップにLSI化されて、単一のイメージセンサ10として構成されている。

【0034】

図3は、上記構成からなるイメージセンサ10を用いた画像読取装置の一例を示すもので、ここでは、イメージセンサの3個の出力端子OUT1～OUT3から、3チャンネルの出力信号CH1～CH3として出力されるアナログの各読取信号を、マルチプレクサ20によって多重化（シリアルデータ列に変換）することにより、順次アナログ・デジタル変換器30に供給して、各読取信号をデジタル信号に変換するように構成されている。

【0035】

イメージセンサ10および画像読取装置を統括的に制御する制御回路60は、ASIC (Application-specific Integrated-circuit) からなり、本実施形態では、CPUコアの統括的な制御の下に、イメージセンサ10のシフトレジスタ11に対してスタートパルスSPおよびクロック信号CLK等を供給するCIS制御ブロック61、マルチプレクサ20とアナログ・デジタル変換器30とによって構成されるアナログフロントエンド回路に対して、マルチプレクサ用の選択信号、すなわち、イメージセンサ10から出力される3チャンネルの出力信号CH1～CH3の内のいずれの信号を、アナログ・デジタル変換器30に入力させるかを選択するための選択信号SEL1、SEL2と、アナログ・デジタル変換用のクロック信号、すなわち、アナログ・デジタル変換のタイミングを決定するクロック信号A/D・CLKを供給するアナログフロントエンド制御ブロック62、アナログ・デジタル変換器30から出力されたデジタル信号をサンプリングして、画像メモリ(RAM)の所定領域に順次書き込むメモリ制御ブロック63などが設けられている。

【0036】

なお、クロック信号CLK、選択信号SEL1、SEL2、アナログ・デジタル変換用のクロック信号A/D・CLKなどは、図4に示されるようなタイミングをもって出力されるようになっている。

【0037】

次に、上記構成からなるイメージセンサ10を用いた画像読取装置の動作について、図4に示されるタイミングチャートを参照しながら説明する。

【0038】

先ず、各ホトトランジスタP1～Pnに対応する受光素子が反射光を受光すると、原稿（被読取体）からの反射光量に応じてホトトランジスタP1～Pnに電荷が蓄積される。

【0039】

イメージセンサ10に供給されるクロック信号CLKに基づいて、シフトレジスタ11から制御信号Sa1が出力されると、1番目の組（第1の組）に属するホトトランジスタP1～P3に接続された3個のアナログスイッチSW1～SW3が同時にオン動作し、各ホトトランジスタP1～P3に蓄積された電荷が、アナログの画像読取信号として出力信号線L1～L3に読み出され、アナログアンプAMP1～AMP3によって十分に増幅された後、出力端子OUT1～OUT3から3チャンネルの出力信号CH1～CH3として出力される。

【0040】

そして、各チャンネルの出力信号CH1～CH3のレベルが安定した時点で、マルチプレクサ20の選択信号SEL1、SEL2として、第1のチャンネル出力信号CH1を選択する信号（SEL1、SEL2がともに「H」レベルとされて、第1の信号入力部IN1を信号出力部OUTに接続する選択信号）が入力されると、第1のチャンネル出力信号CH1、すなわち、1番目の組の第1のホトトランジスタP1からの読取信号（1画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D1として出力される。

【0041】

続いて、マルチプレクサ20の選択信号SEL1, SEL2として、第2のチャンネル出力信号CH2を選択する信号（SEL1が「H」レベルで、SEL2が「L」レベルとされて、第2の信号入力部IN2を信号出力部OUTに接続する選択信号）が入力されると、第2のチャンネル出力信号CH2、すなわち、1番目の組の第2のホットランジスタP2からの読取信号（2画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D2として出力される。

【0042】

さらに、続いて、マルチプレクサ20の選択信号SEL1, SEL2として、第3のチャンネル出力信号CH3を選択する信号（SEL1が「L」レベルで、SEL2が「H」レベルとされて、第3の信号入力部IN3を信号出力部OUTに接続する選択信号）が入力されると、第3のチャンネル出力信号CH3、すなわち、1番目の組の第3のホットランジスタP3からの読取信号（3画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D3として出力される。

【0043】

次に、イメージセンサ10に供給されるクロック信号CLKに基づいて、シフトレジスタ11から制御信号Sa2が出力されると、2番目の組（第2の組）に属するホットランジスタP4～P6に接続された3個のアナログスイッチSW4～SW6が同時にオン動作し、各ホットランジスタP4～P6に蓄積された電荷が、アナログの画像読取信号として出力信号線L1～L3に読み出され、アナログアンプAMP1～AMP3によって十分に増幅された後、出力端子OUT1～OUT3から3チャンネルの出力信号CH1～CH3として出力される。

【0044】

そして、各チャンネルの出力信号CH1～CH3のレベルが安定した時点で、マルチプレクサ20の選択信号SEL1, SEL2として、第1のチャンネル出力信号CH1を選択する信号（SEL1, SEL2がともに「H」レベルとされて

、第 1 の信号入力部 I N 1 を信号出力部 O U T に接続する選択信号) が入力されると、第 1 のチャンネル出力信号 C H 1、すなわち、今度は、2 番目の組の第 1 のホトトランジスタ P 4 からの読取信号 (4 画素目の画像信号) がアナログ・デジタル変換器 3 0 に供給され、アナログ・デジタル変換用のクロック信号 A / D ・ C L K に同期して、所定ビット数のデジタルコードからなるデジタル信号 D 4 として出力される。

【 0 0 4 5 】

続いて、マルチプレクサ 2 0 の選択信号 S E L 1, S E L 2 として、第 2 のチャンネル出力信号 C H 2 を選択する信号 (S E L 1 が「H」レベルで、S E L 2 が「L」レベルとされて、第 2 の信号入力部 I N 2 を信号出力部 O U T に接続する選択信号) が入力されると、第 2 のチャンネル出力信号 C H 2、すなわち、2 番目の組の第 2 のホトトランジスタ P 5 からの読取信号 (5 画素目の画像信号) がアナログ・デジタル変換器 3 0 に供給され、アナログ・デジタル変換のためのクロック信号 A / D ・ C L K に同期して、所定ビット数のデジタルコードからなるデジタル信号 D 5 として出力される。

【 0 0 4 6 】

さらに、続いて、マルチプレクサ 2 0 の選択信号 S E L 1, S E L 2 として、第 3 のチャンネル出力信号 C H 3 を選択する信号 (S E L 1 が「L」レベルで、S E L 2 が「H」レベルとされて、第 3 の信号入力部 I N 3 を信号出力部 O U T に接続する選択信号) が入力されると、第 3 のチャンネル出力信号 C H 3、すなわち、2 番目の組の第 3 のホトトランジスタ P 6 からの読取信号 (6 画素目の画像信号) がアナログ・デジタル変換器 3 0 に供給され、アナログ・デジタル変換のためのクロック信号 A / D ・ C L K に同期して、所定ビット数のデジタルコードからなるデジタル信号 D 6 として出力される。

【 0 0 4 7 】

以下、同様にして、イメージセンサ 1 0 にクロック信号 C L K が供給される毎に、シフトレジスタ 1 1 から出力される制御信号 S a が順次シフトし、各組に属するホトトランジスタ P に接続された 3 個のアナログスイッチ S W が同時にオン動作して、3 画素分の画像信号が同時に並列的に読み出され、その各画像信号が

マルチプレクサ 20 の切り替え動作に伴って時系列的に順次アナログ・デジタル変換器 30 に供給され、所定ビット数のデジタルコードからなるデジタル信号 D に変換されて、A/D・DATA として出力される。

【0048】

従って、アナログ・デジタル変換器 30 から順次出力される所定ビット数のデジタルコードからなるデジタル信号 D を、メモリ書込み制御ブロック 63 を介して、画像メモリ (RAM) の所定領域に順次書き込むことによって、読取画像データを主走査方向の配列順に蓄積することができる。

【0049】

本実施形態によれば、図 15 に示される従来例のものに比べて、クロック信号 CLK の周波数を $1/3$ に低減することが可能となり、アナログスイッチ SW として高速のスイッチング動作を行うものが必要とされず、アナログアンプ AMP としても低速のもので充分であるし、また、シフトレジスタ 11 のフリップフロップ回路の個数も $1/3$ に減らすことができるので、その分、センサ全体の大きさを小さくすることが可能となる。さらに、低速のクロック信号 CLK で高速読取りが可能であるので、EMI ノイズが発生する虞れも少ない。

【0050】

これによって、高解像度の要求に応えるために、多数のホトトランジスタ (ホトダイオードであってもよい) P を主走査方向に多数配列したイメージセンサ 10 であっても、たとえば、マルチプレクサ 20 とアナログ・デジタル変換器 30 にのみ高速対応のものを用意すれば、高速の読取動作が可能となる。

【0051】

なお、前記マルチプレクサ 20 は、外部装置あるいは操作パネル等から、低解像度での読取りを行う「低解像度モード」が選択されたときには、アナログフロントエンド制御ブロック 62 から供給される選択信号 SEL1, SEL2 が、時系列的な切り替えを伴わない固定的なものとなる。

【0052】

すなわち、イメージセンサ 10 から出力される画素信号 (画像読取信号) をそのまま全部デジタル信号に変換して高解像度の読取を行う「高解像モード」が選

択されたときには、解像度切換手段として機能するアナログフロントエンド制御ブロック 62 から、マルチプレクサ 20 に対して、第 1 ～ 第 3 の信号入力部 IN1 ～ IN3 を時系列的に切り替えるための選択信号が与えられるが、「低解像度モード」が選択されたときには、このような時系列的な切り替えが伴わない選択信号、すなわち、第 1 の信号入力部 IN1 を信号出力部 OUT に対して固定的に接続する選択信号 (SEL1, SEL2 がともに「H」レベルに固定される選択信号) が出力される。

【0053】

従って、この「低解像度モード」では、3 つのチャネル出力信号 CH1 ～ CH3 の内、第 1 のチャネル出力信号 CH1 のみが、マルチプレクサ 20 を介してアナログ・デジタル変換器 30 に順次供給されるので、図 5 に示されるように、シフトレジスタ 11 から制御信号 Sa1 が出力された時点では、1 番目の組の第 1 のホトトランジスタ P1 からの読取信号 (1 番目の画素信号) がデジタル信号として出力され、制御信号 Sa2 が出力された時点では、2 番目の組の第 1 のホトトランジスタ P4 からの読取信号 (4 番目の画素信号) がデジタル信号として出力され、以下同様にして、制御信号 Sa が順次シフトする毎に、7 番目、10 番目、・・・、1726 番目の画素信号がデジタル信号として出力される。

【0054】

これにより、「低解像度モード」においては、読取画像信号として有効に出力される画素の数が $1/3$ に減少するため、たとえば、「高解像度モード」における読取解像度が「600dpi」であるとする、と、「低解像度モード」では、その $1/3$ に相当する「200dpi」の解像度で読取が行われる。

【0055】

また、この「低解像度モード」では、制御信号 Sa がシフトする毎に、アナログ・デジタル変換動作を 1 回ずつ行えばよいので、3 回ずつのアナログ・デジタル変換動作を必要とする「高解像度モード」に比べて、その分、クロック信号 CLK の周波数を上げることが可能であり、高速での読取を行うことができる。

【0056】

このため、必要に応じて、解像度よりも読取速度を優先して読取を行いたい場

合などに極めて好都合である。

【0057】

なお、上記した「低解像度モード」では、マルチプレクサ20の時系列的な切り替えを伴わないものであるが、たとえば、「低解像度モード」であっても、解像度の種類によっては、時系列的な切り替えを伴ってもよいことは勿論である。

【0058】

一例として、「高解像度モード」における読取解像度が「600dpi」であるのに対して、「400dpi」の解像度での読取りが選択されたときには、3チャンネル出力信号CH1～CH3の内のいずれか2つの信号を、時系列的に順次アナログ・デジタル変換器30に供給することによって、「400dpi」の解像度を持つ読取信号を得ることができる。

【0059】

この場合には、制御信号Saがシフトする毎に、アナログ・デジタル変換動作を2回ずつ行えばよいので、3回ずつのアナログ・デジタル変換動作を必要とする「高解像度モード」に比べて、その分、クロック信号CLKの周波数を上げることが可能であり、高速での読取を行うことができる。

【0060】

また、上記した例では、「高解像度モード」において「600dpi」の解像度が得られるように、イメージセンサ10の主走査方向に沿って配列された多数のホトトランジスタ（光電変換素子）Pを対象として、互いに隣接する3個のものを1組としてブロック分けしたものであるが、たとえば、互いに隣接する4個のものを1組としてブロック分けした場合には、「600dpi」、「450dpi」、「300dpi」、「150dpi」の解像度を持つ読取信号が得られる。

【0061】

すなわち、4つのチャンネル信号出力CH1～CH4に対応して、4個の信号入力部IN1～IN4を有するマルチプレクサを設け、その信号入力部IN1～IN4の全てを時系列的に切り替えてアナログ・デジタル変換器に供給することによって、「600dpi」の高解像度を持つ読取信号を出力することができ、ま

た、4個の信号入力部IN1～IN4の内のいずれか1つを出力部OUTに固定的に（時系列的な切り替えはしないように）接続して、1つのチャンネル出力信号のみをアナログ・デジタル変換器に供給することにより、「150dpi」の解像度を持つ読取信号を出力することができ、さらには、4個の信号入力部IN1～IN4の内のいずれか2つを時系列的に切り替えることにより、任意の2つのチャンネル出力信号を順次アナログ・デジタル変換器に供給することにより、「1300dpi」の解像度を持つ読取信号を出力することができ、また、4個の信号入力部IN1～IN4の内のいずれか3つを時系列的に切り替えることにより、任意の3つのチャンネル出力信号を順次アナログ・デジタル変換器に供給することにより、「450dpi」の解像度を持つ読取信号を出力することができる。

【0062】

同様にして、イメージセンサ10のホトトランジスタ（光電変換素子）Pを、互いに隣接する6個のものを1組としてブロック分けした場合には、「600dpi」、「500dpi」、「400dpi」、「300dpi」、「200dpi」、「100dpi」の解像度を持つ読取信号が得られる。

【0063】

なお、各組に属するホトトランジスタ（光電変換素子）Pの個数を大きくしてブロック分けした場合には、アナログ・デジタル変換器に高速のものが要求されることになるが、たとえば、そのブロック分けした各組に属するホトトランジスタ（光電変換素子）Pの個数と同数の信号出力線（チャンネル出力信号）を、複数のグループに分けて、その各グループ毎にアナログ・デジタル変換器を用意するようにすれば、比較的低速のアナログ・デジタル変換器であっても全体として高速度の読取動作が可能となる。

【0064】

図6および図7は、本発明の第2の実施形態を示すものであり、上記した第1の実施形態における画像読取装置に対して、イメージセンサ10の3チャンネル出力信号CH1～CH3をそのままマルチプレクサ20に出力させるのではなく、3チャンネル出力信号CH1～CH3を一時保存するサンプルホールド回路50を備えて、そのサンプルホールド回路50によって一時保存した信号をマルチプレク

サ 2 0 に供給するようにしたものである。

【 0 0 6 5 】

すなわち、図 7 に示されるように、イメージセンサ 1 0 の 3 チャンネル出力信号 C H 1 ～ C H 3 が所定の出力レベルに安定するまでに多少時間が掛かる場合であっても、出力レベルが安定した頃に、アナログフロントエンド制御ブロック 6 2 から供給されるサンプルホールド用のクロック信号 S / H ・ C L K に基づいて 3 チャンネル出力信号 C H 1 ～ C H 3 を一時保存する。

【 0 0 6 6 】

そうした状態で、マルチプレクサ 2 0 の選択信号 S E L 1 , S E L 2 として、第 1 のチャンネル出力信号 C H 1 を選択する信号 (S E L 1 , S E L 2 がともに「H」レベル)、第 2 のチャンネル出力信号 C H 2 を選択する信号 (S E L 1 が「H」レベルで、S E L 2 が「L」レベル)、第 3 のチャンネル出力信号 C H 3 を選択する信号 (S E L 1 が「L」レベルで、S E L 2 が「H」レベル) が入力されると、第 1 のチャンネル出力信号 C H 1 が選択された時点では、サンプルホールド回路 5 0 によって一時保存されている第 1 のチャンネル出力信号 C H 1 が、アナログ・デジタル変換器 3 0 によってアナログ・デジタル変換され、第 2 のチャンネル出力信号 C H 2 が選択された時点では、サンプルホールド回路 5 0 によって一時保存されている第 2 のチャンネル出力信号 C H 2 が、アナログ・デジタル変換器 3 0 によってアナログ・デジタル変換され、第 3 のチャンネル出力信号 C H 3 が選択された時点では、サンプルホールド回路 5 0 によって一時保存されている第 3 のチャンネル出力信号 C H 3 が、アナログ・デジタル変換器 3 0 によってアナログ・デジタル変換される。

【 0 0 6 7 】

従って、この第 2 の実施形態によれば、サンプルホールドのためのクロック信号 S / H ・ C L K が供給される周期間隔、言い換えれば、シフトレジスタ 1 1 に供給されるクロック信号 C L K の周期間隔をフルに利用して、チャンネル出力信号 C H 1 ～ C H 3 をアナログ・デジタル変換すればよいので、上記第 1 の実施形態に比べて、マルチプレクサ 2 0 およびアナログ・デジタル変換器 3 0 として高速なものが必要とされない効果がある。

【 0 0 6 8 】

なお、この第 2 の実施形態におけるサンプルホールド回路 5 0 は、必ずしも、3 つのチャンネル出力信号 C H 1 ～ C H 3 の全てを一時保存するようにはする必要はなく、たとえば、図 8 に示される第 3 の実施形態のように、第 2 のチャンネル出力信号 C H 2 と、第 3 のチャンネル出力信号 C H 3 とを一時保存するサンプルホールド回路 5 0 a を備えても、第 2 の実施形態と同様の効果を期待できる。

【 0 0 6 9 】

これらの第 2 および第 3 の実施形態においても、マルチプレクサ 2 0 に供給される選択信号 S E L 1 , S E L 2 として、時系列的な切り替えが伴わない選択信号、すなわち、第 1 の信号入力部 I N 1 を信号出力部 O U T に対して固定的に接続する選択信号 (S E L 1 , S E L 2 がともに「L」レベルに固定される選択信号) を出力することで、上記第 1 の実施形態と同様に、「低解像度モード」の読取が可能であるが、特に、図 8 に示される第 3 の実施形態においては、「低解像度モード」が選択された場合に、サンプルホールド回路 5 0 a の機能を停止させることが可能である。

【 0 0 7 0 】

図 9 は、第 4 の実施形態を示すもので、上記第 1 乃至第 3 の実施形態において選択可能な「低解像度モード (以下、第 1 の低解像度モードと称する)」はもとより、さらには、複数画素の平均化による「第 2 の低解像度モード」をも、必要に応じて選択できるように構成したものである。

【 0 0 7 1 】

この第 4 の実施形態においては、上記第 1 の実施形態と同様の構成からなるマルチプレクサ 2 0 に加えて、さらに、3 入力 1 出力型の第 2 のマルチプレクサ 4 0 が設けられている。

【 0 0 7 2 】

この第 2 のマルチプレクサ 4 0 は、イメージセンサ 1 0 から出力される 3 チャンネル出力信号 C H 1 ～ C H 3 を平均化するために設けられたものであり、その 3 つの信号入力部 I N 1 ～ I N 3 に対して、各チャンネル出力信号 C H 1 ～ C H 3 が平均化回路の一部として構成された抵抗群 3 0 を介して供給されるとともに、平

均化された信号が出力部OUTを介してアナログ・デジタル変換器30に供給されるようになっている。

【0073】

すなわち、第2のマルチプレクサ40は、アナログフロントエンド制御ブロック62を介して供給される3つの選択信号SEL3～SEL5に基づいて、3つの信号入力部IN1～IN3のいずれもが出力部OUTに接続されていない第1の選択状態、3つの信号入力部IN1～IN3の全部が出力部OUTに接続された第2の選択状態、そして、3つの信号入力部IN1～IN3の内の任意の2つの信号入力部（第1、第2の信号入力部IN1、IN2、または、第1、第3の信号入力部IN1、IN3、または、第2、第3の信号入力部IN2、IN3）を出力部OUTに接続した第3～第5の選択状態とを取り得るようになっており、特に、第2の選択状態では、抵抗群70と協働して3チャンネル出力信号CH1～CH3を平均化して、その平均化した信号をアナログ・デジタル変換器30に供給する平均化回路として機能する。

【0074】

なお、第2のマルチプレクサ40は、マルチプレクサ20と同様に複数のアナログスイッチ等により構成されるものであるが、それら複数のアナログスイッチを時系列的にオン動作させることで実行するマルチプレクサ本来の動作（入力部を時系列的に切り替えるマルチプレックス動作）は行わないようになっている。

【0075】

この第4の実施形態においては、外部装置あるいは操作パネル等から「高解像度モード」および「第1の低解像度モード」が選択された場合には、第2のマルチプレクサ40を第1の選択状態（3つの信号入力部IN1～IN3のいずれもが出力部OUTに接続されていない状態）に切替えた状態で、上記第1の実施形態と同様に、マルチプレクサ20の3つの信号入力部IN1～IN3を時系列的に切り替えることにより、3チャンネル出力信号CH1～CH3を順次アナログ・デジタル変換器30に供給して、高解像度での読取りを行うことができ、また、マルチプレクサ20の第1の信号入力部IN1を出力部OUTに固定的に接続することにより、第1のチャンネル出力信号CH1のみをアナログ・デジタル変換

器 3 0 に供給して、2 個置き 1 個ずつの画像信号のみを利用した、いわゆる、間引きによる低解像度での読取りを行うことができる。

【 0 0 7 6 】

さらに、マルチプレクサ 2 0 を、アナログフロントエンド制御ブロック 6 2 から供給される選択信号 S E L 1, S E L 2 に基づいて、3 つの信号入力部 I N 1 ~ I N 3 のいずれもが出力部 O U T に接続されないようにした状態 (S E L 1, S E L 2 がともに「L」レベルとされた状態) で、第 2 のマルチプレクサ 4 0 を第 2 の選択状態 (3 つの信号入力部 I N 1 ~ I N 3 の全部が出力部 O U T に接続された状態) に切替えた場合には、3 つのチャンネル出力信号 C H 1 ~ C H 3 を平均化した信号をアナログ・デジタル変換器 3 0 に供給することができるので、たとえば、図 1 0 に示されるように、シフトレジスタ 1 1 から制御信号 S a 1 が出力された時点では、1 番目の組の各ホトトランジスタ P 1 ~ P 3 からの読取信号 (1 番目 ~ 3 番目の画素信号) を平均化した信号が、1 番目の組に対応するデジタル信号として出力され、制御信号 S a 2 が出力された時点では、2 番目の組の各ホトトランジスタ P 4 ~ P 6 からの読取信号 (4 番目 ~ 6 番目の画素信号) を平均化した信号が、2 番目の組に対応するデジタル信号として出力され、以下同様にして、制御信号 S a が順次シフトする毎に、7 番目 ~ 9 番目、1 0 番目 ~ 1 2 番目、・・・、1 7 2 6 番目 ~ 1 7 2 8 番目の画素信号を平均化した信号が、それぞれの組に対応するデジタル信号として出力される。

【 0 0 7 7 】

これにより、「第 2 の低解像度モード」においても、「第 1 の低解像度モード」と同様に、読取画像信号として出力される信号数が $1/3$ に減少するため、たとえば、「高解像度モード」における読取解像度が「6 0 0 d p i」であるとする、「第 2 の低解像度モード」においても、その $1/3$ に相当する「2 0 0 d p i」の解像度で読取が行われる。

【 0 0 7 8 】

また、この「第 2 の低解像度モード」においても、制御信号 S a がシフトする毎に、アナログ・デジタル変換動作を 1 回ずつ行えばよいので、3 回ずつのアナログ・デジタル変換動作を必要とする「高解像度モード」に比べて、その分、ク

ロック信号CLKの周波数を上げることが可能であり、高速での読取を行うことができる。

【0079】

このため、たとえば、細線の保存性を確保しつつ、高速度で読取を行いたい場合などに極めて好都合である。

【0080】

なお、第2のマルチプレクサ40は、第3～第5の選択状態に切り換えることによって、3チャンネル出力信号CH1～CH3の内の任意の2つのチャンネル信号を平均化して、その平均化した信号をアナログ・デジタル変換器30に供給することができるので、「低解像度モード」の読取画像信号として、いろいろと変化に富んだ画像信号を出力することが可能である。

【0081】

ところで、上記実施形態における構成は、これに限らず、たとえば、図11に第5の実施形態として示すように、イメージセンサ10の内部に、上記マルチプレクサ20と同様の機能をなすマルチプレクサ回路20aを内蔵するようにしてもよい。さらに、図示はしていないが、サンプルホールド回路50、50aと同様の機能をなすサンプルホールド回路や平均化回路等を内蔵することも可能である。

【0082】

しかも、マルチプレクサ回路20aをイメージセンサ10の内部に内蔵するようにした場合には、図12に第6の実施形態として示す如く、マルチプレクサ回路20aの後段に1個のアナログアンプAMPを設けるようにすることも可能であり、コスト的に非常に有利なものとなる。

【0083】

以上、本発明を具体化したいくつかの実施形態について説明したが、本発明のイメージセンサおよびそれを用いた画像読取装置は、上記実施形態に限定されるものではなく、種々の形態をとることが可能であり、たとえば、イメージセンサ10の受光素子部を構成する光電変換素子としては、図2に示すホトトランジスタに限らず、たとえば、図13にその他の実施形態として示すように、ホトダイ

オードを光電変換素子として用いてもよいし、また、その他の光電変換素子であっても何等差し支えない。

【0084】

また、イメージセンサ10が密着型イメージセンサ（CIS）として構成される場合、読取原稿の主走査方向の幅が大きくなると、それに応じてイメージセンサも主走査方向に非常に長いものが必要となるが、これを1つの半導体材料に形成して、1チップにLSI化して構成することは困難である。

【0085】

しかしながら、図14にその他の異なる実施形態として示すように、複数のイメージセンサ10を主走査方向に並べて、その各イメージセンサ10に内蔵されたシフトレジスタ11の最終段のフリップフロップ回路の出力を、隣接するイメージセンサ10のスタートパルスSPとして供給するようにすれば、何等問題なく対処することができる。

【図面の簡単な説明】

【図1】

本発明を具体化した第1の実施形態を示すイメージセンサの回路構成図である。

【図2】

イメージセンサの一部の回路構成をより詳細に示す図である。

【図3】

イメージセンサを用いた画像読取装置の構成を示す概略ブロック図である。

【図4】

画像読取装置の各部の動作を説明するためのタイミングチャートである。

【図5】

画像読取装置の各部の動作を説明するためのタイミングチャートである。

【図6】

第2の実施形態における画像読取装置の構成を示す概略ブロック図である。

【図7】

第2の実施形態における画像読取装置の各部の動作を説明するためのタイミン

グチャートである。

【図 8】

第 3 の実施形態における画像読取装置の構成を示す概略ブロック図である。

【図 9】

第 4 の実施形態における画像読取装置の構成を示す概略ブロック図である。

【図 1 0】

第 4 の実施形態における画像読取装置の各部の動作を説明するためのタイミンググチャートである。

【図 1 1】

第 5 の実施形態を示すイメージセンサの回路構成図である。

【図 1 2】

第 6 の実施形態を示すイメージセンサの回路構成図である。

【図 1 3】

イメージセンサの他の実施形態を示す一部の回路構成図である。

【図 1 4】

画像読取装置の異なる実施形態を示す図である。

【図 1 5】

従来のイメージセンサの回路構成を示す図である。

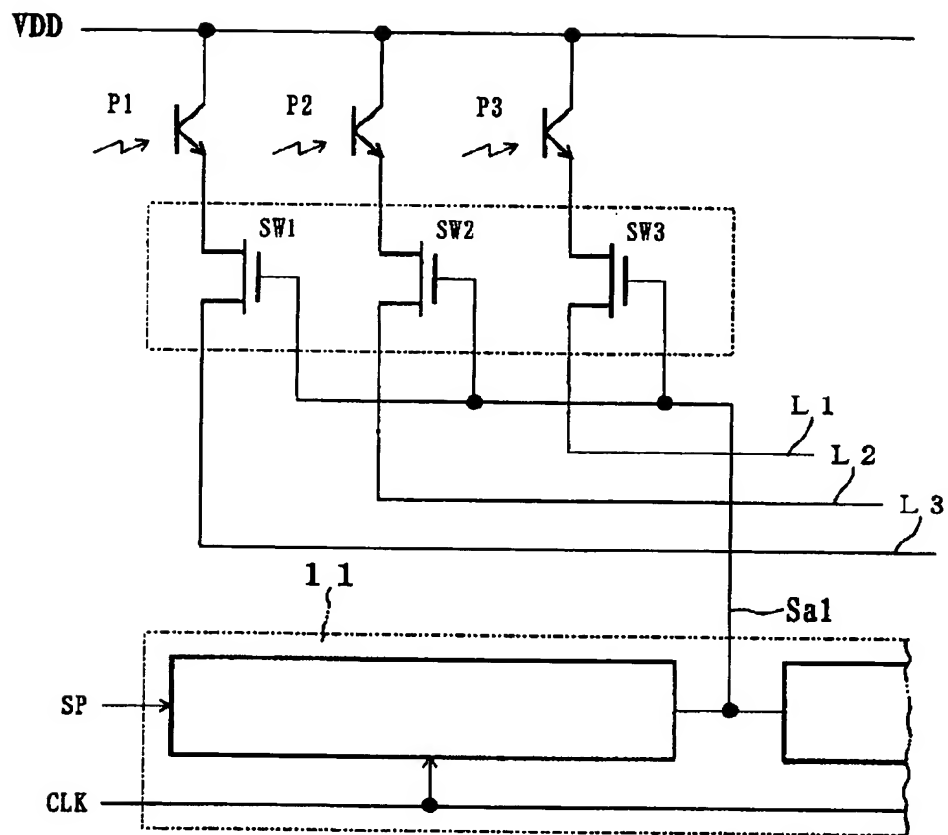
【符号の説明】

1 0	イメージセンサ
1 1	シフトレジスタ（制御部）
2 0, 2 0 a	マルチプレクサ
3 0	アナログ・デジタル変換器
4 0	アナログフロントエンド I C
4 1 a ~ 4 1 c	相関二重サンプリング回路
4 2 a ~ 4 1 c	オフセット調整回路
4 3 a ~ 4 1 c	プログラマブルゲインアンプ
4 4	マルチプレクサ
4 5	アナログ・デジタル変換器

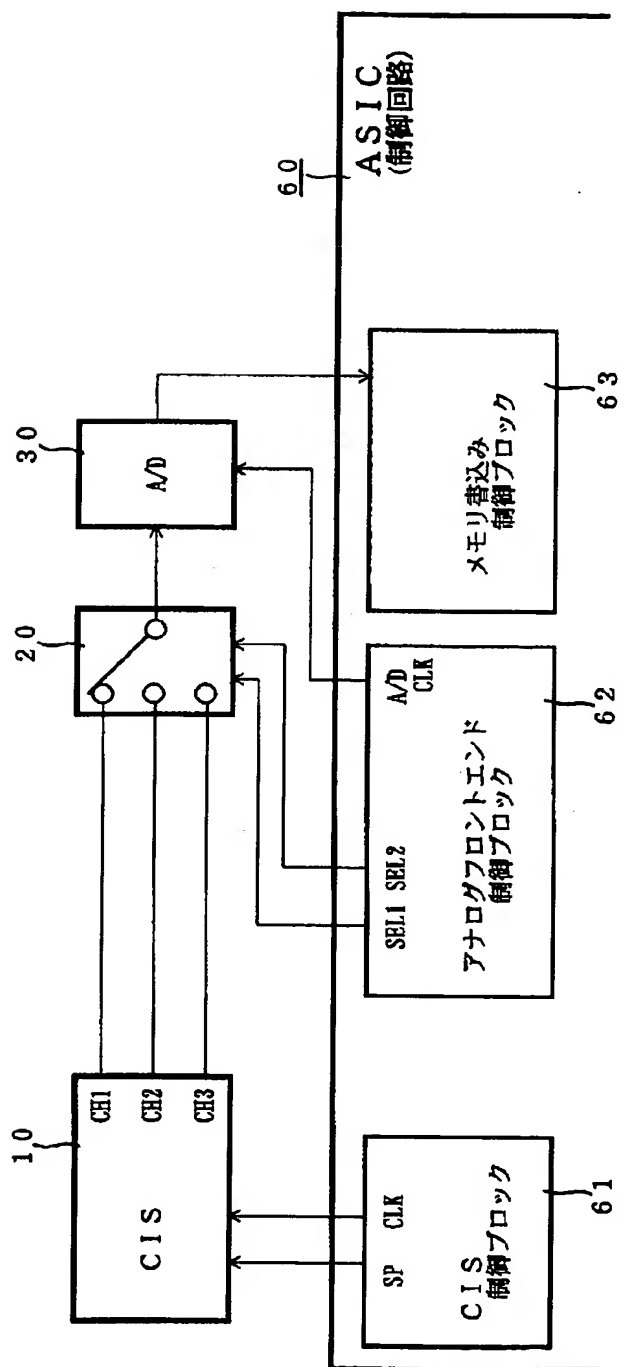
4 6	インターフェイス
4 7	レジスタ部
5 0, 5 0 a	サンプルホールド回路
6 0	制御回路
6 1	C I S 制御ブロック
6 2	アナログフロントエンド制御ブロック (解像度切換手段)
6 3	メモリ書込み制御ブロック
4 0	第 2 のマルチプレクサ
7 0	抵抗群 (平均化回路)

A / D · C L K	アナログ・デジタル変換用クロック信号
A M P	アナログアンプ
C H 1 ~ C H 3	3 チャンネル出力信号
C L K	クロック信号
L 1 ~ L 3	出力信号線
P 1 ~ P n	ホトトランジスタ (光電変換素子)
S W 1 ~ S W n	アナログスイッチ (スイッチ素子)
S a 1 ~ S a n	制御信号
S E L 1	選択信号
S E L 2	選択信号
S E L 3	選択信号
S E L 4	選択信号
S E L 5	選択信号
S / H · C L K	サンプルホールド用クロック信号

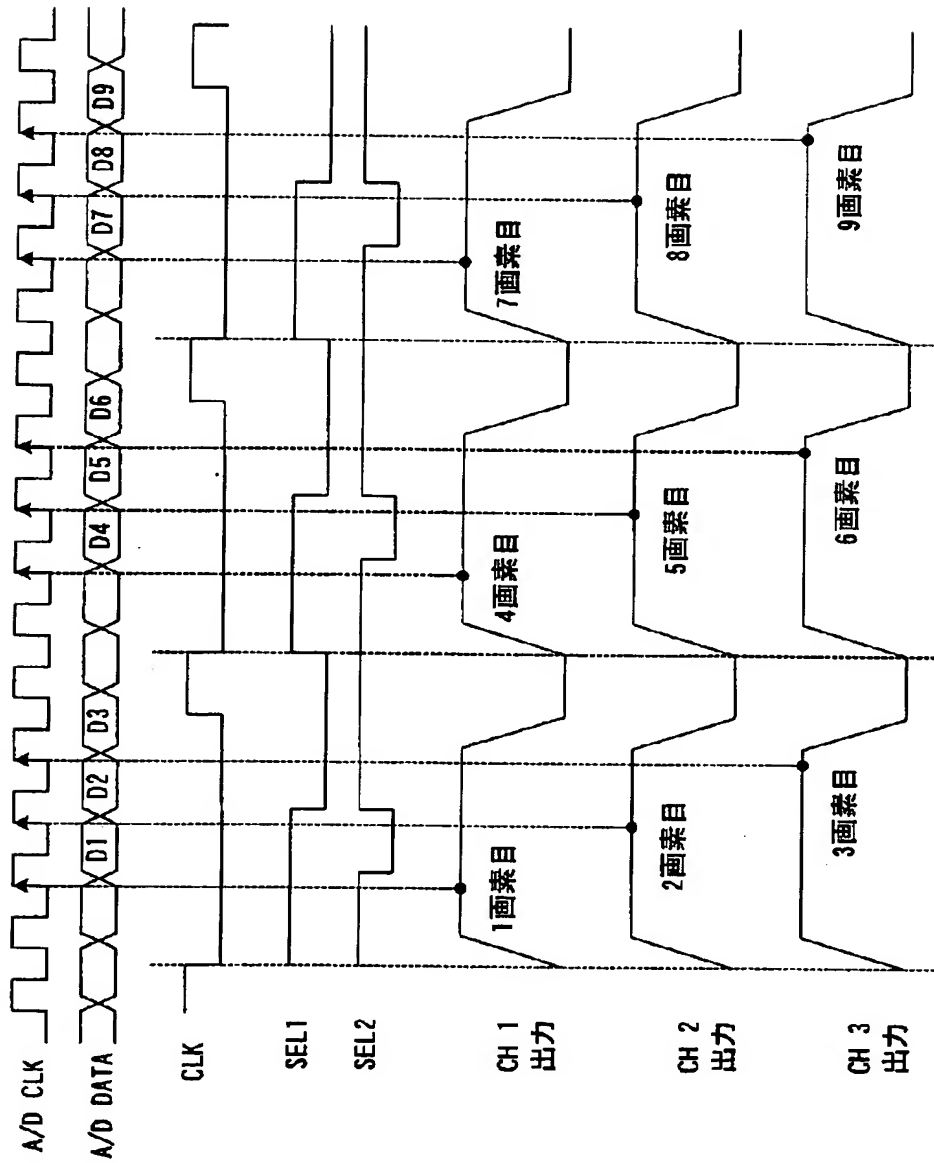
【図 2】



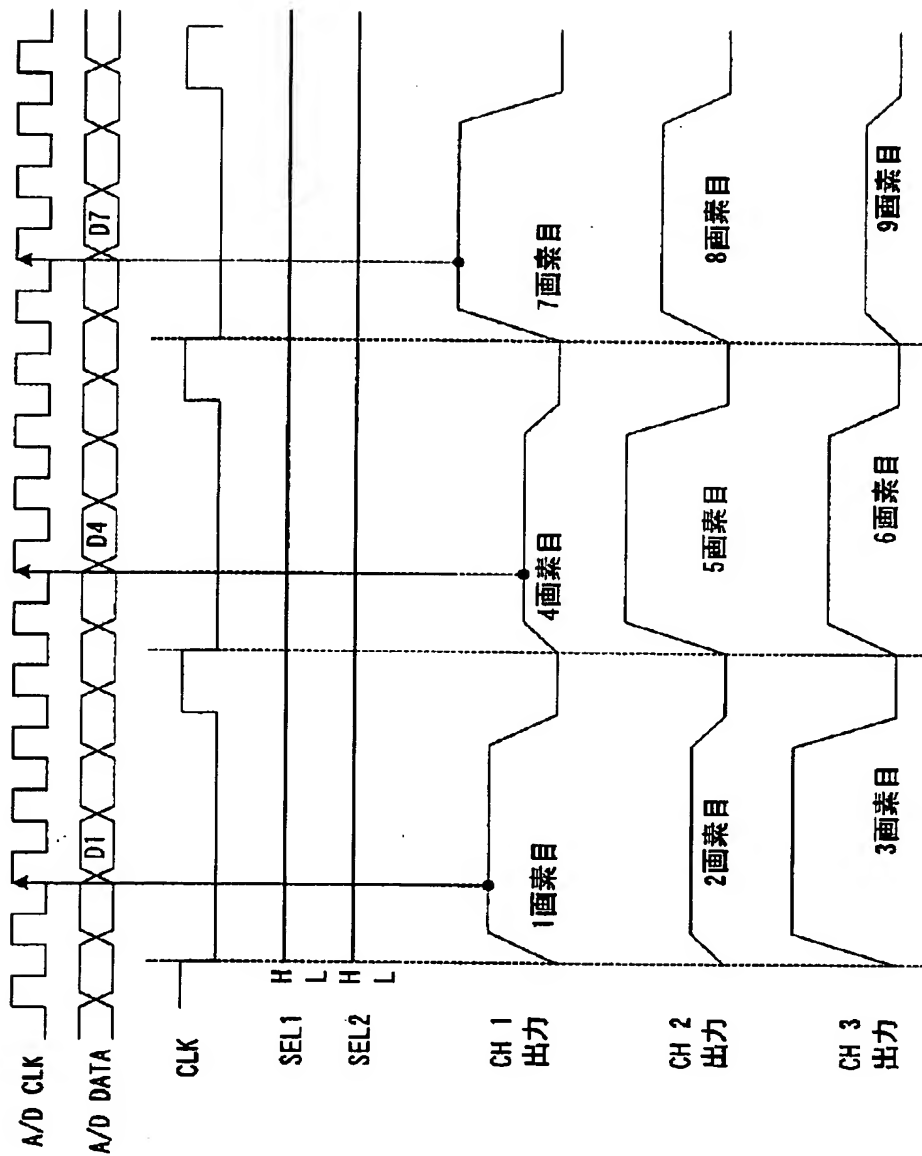
【図 3】



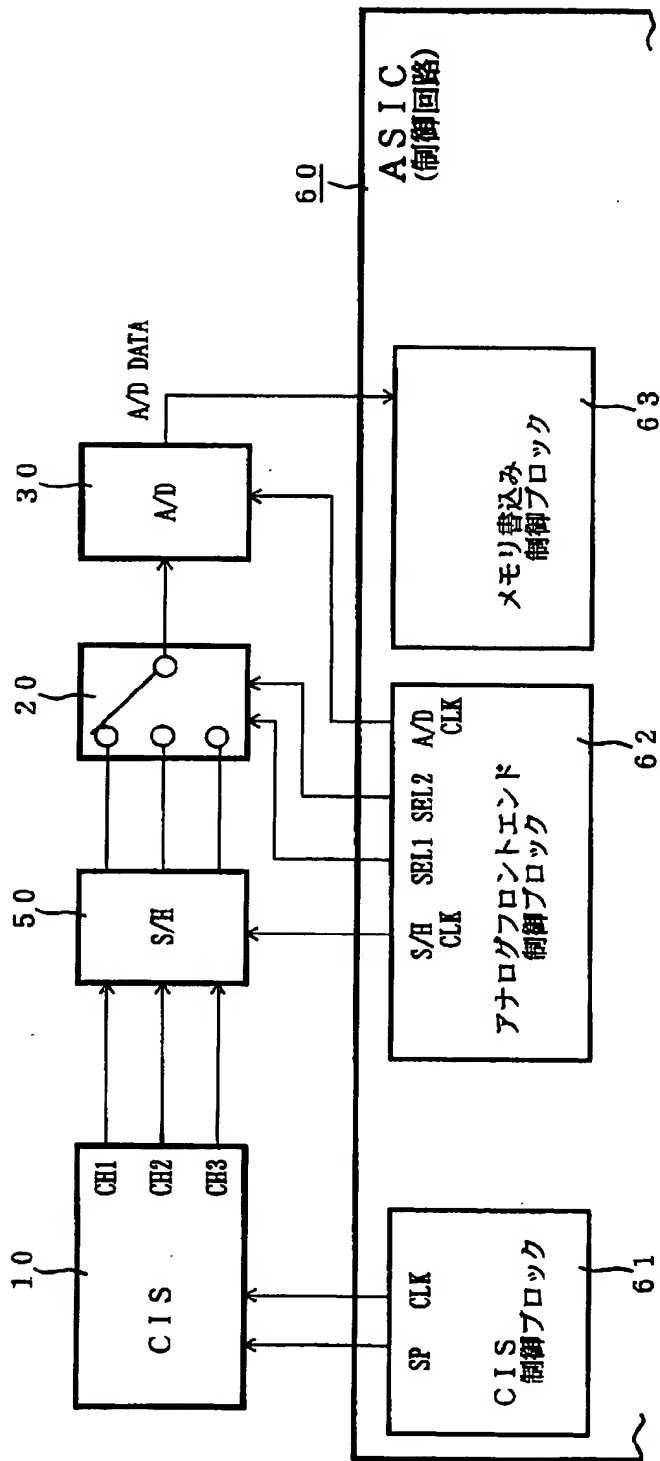
【図 4】



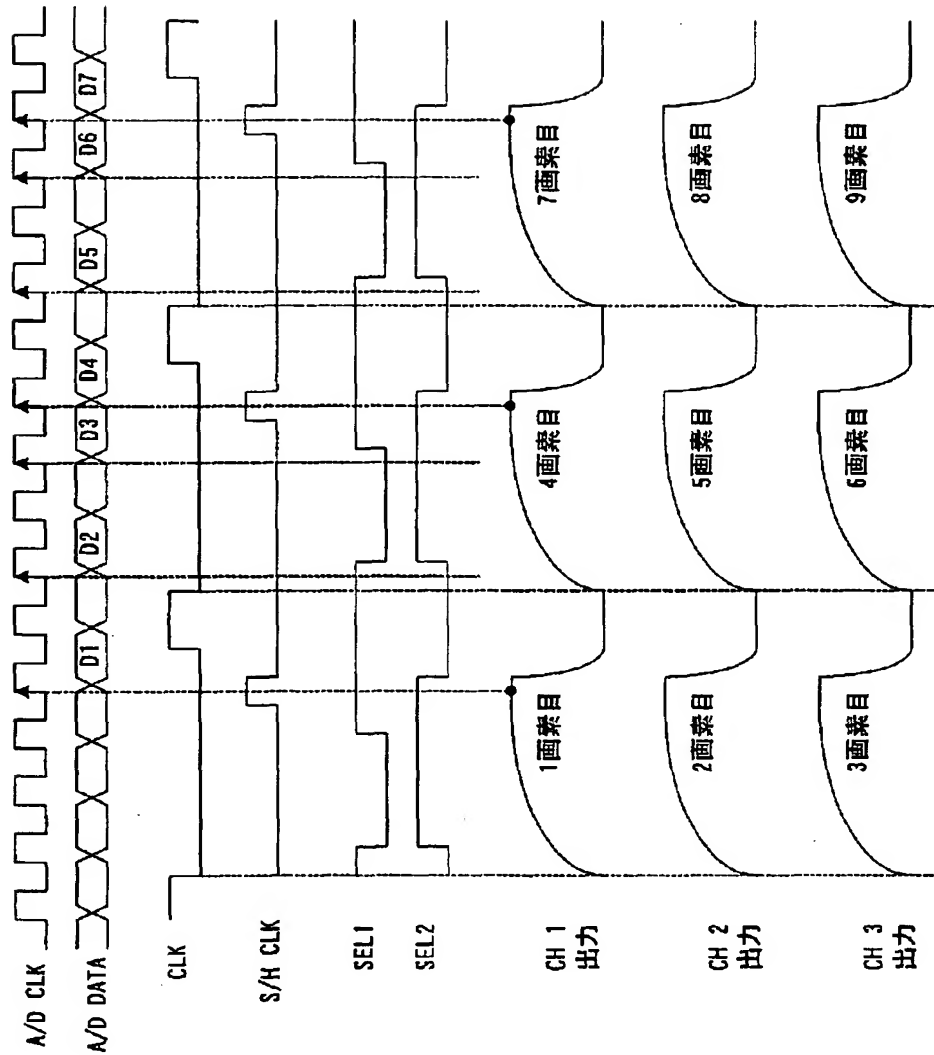
【図 5】



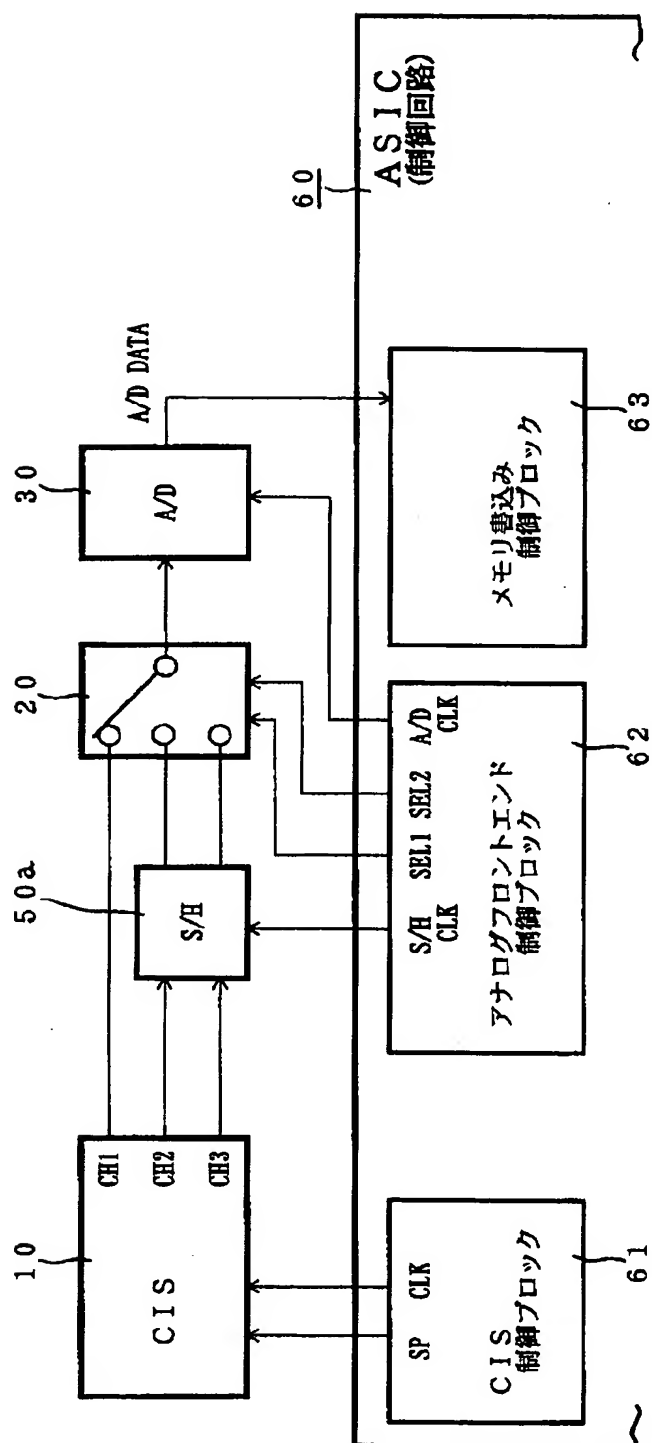
【図 6】



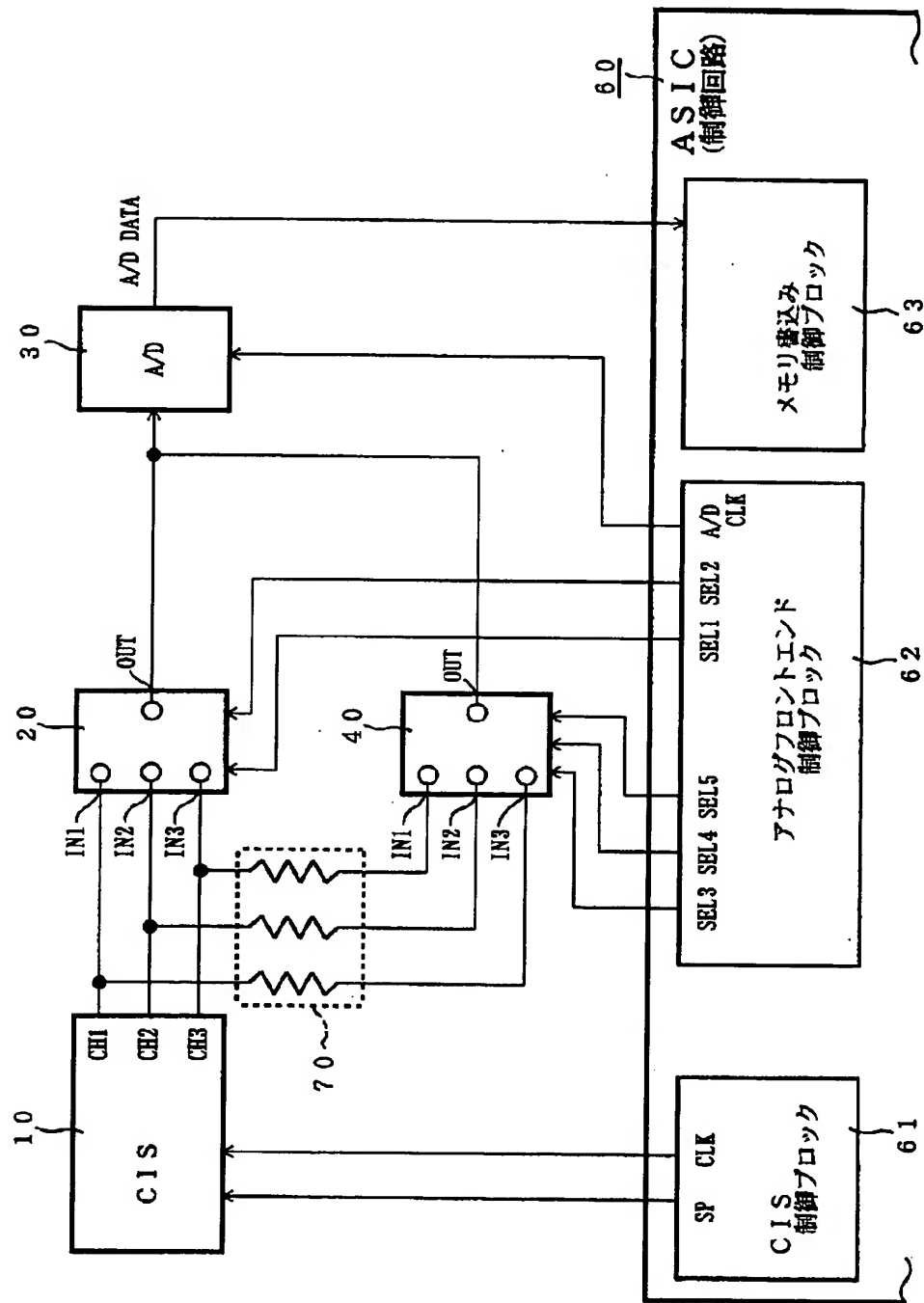
【図 7】



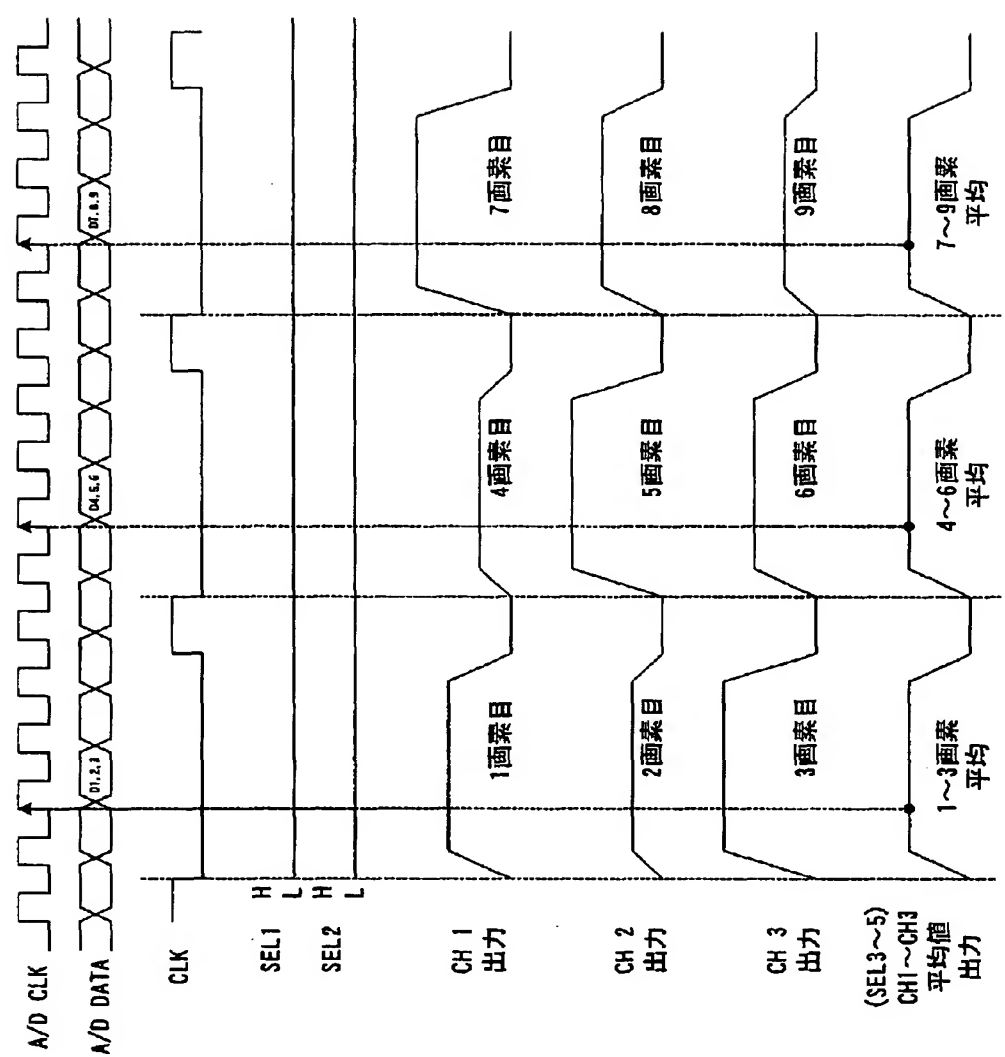
【図 8】



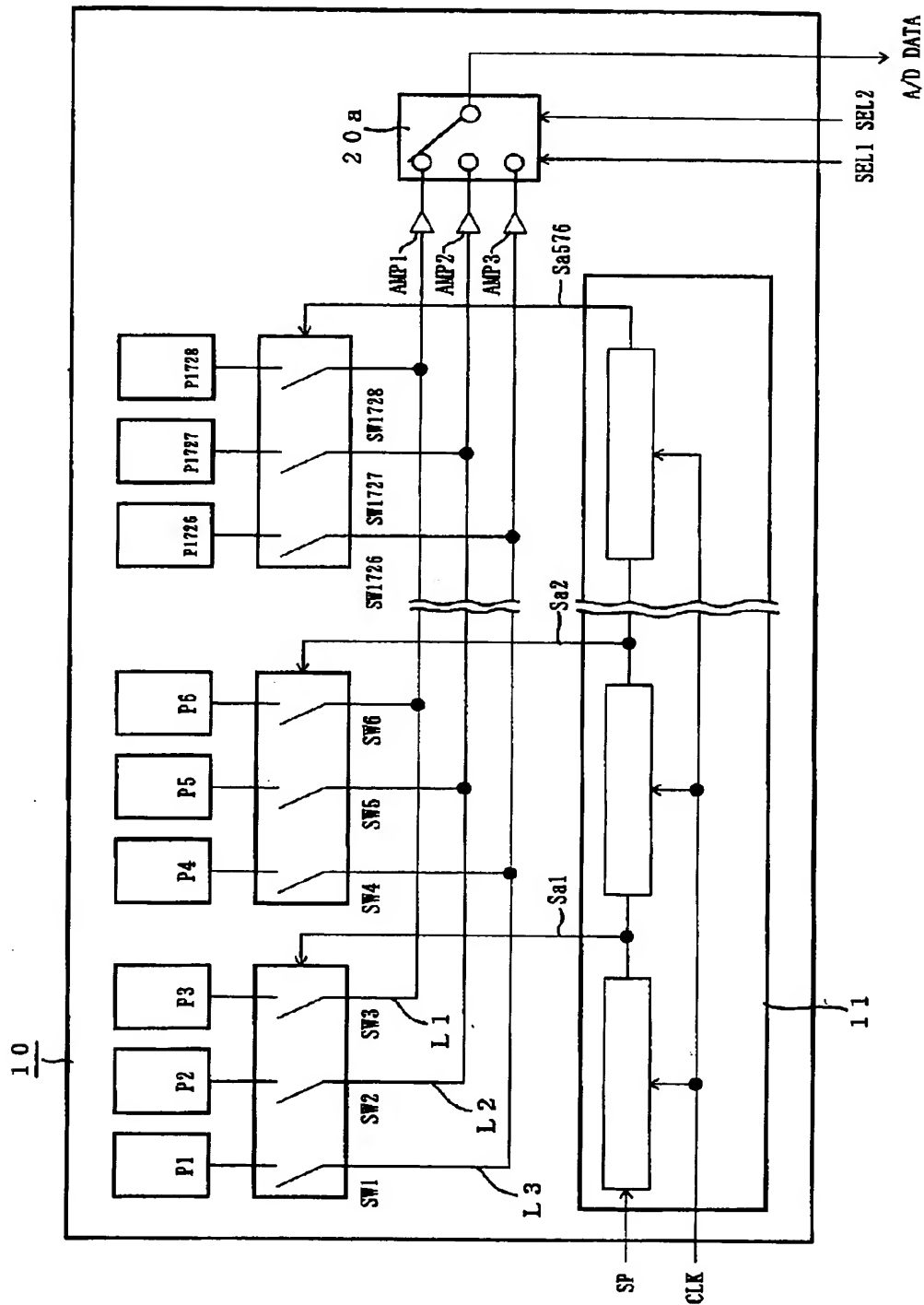
【図 9】



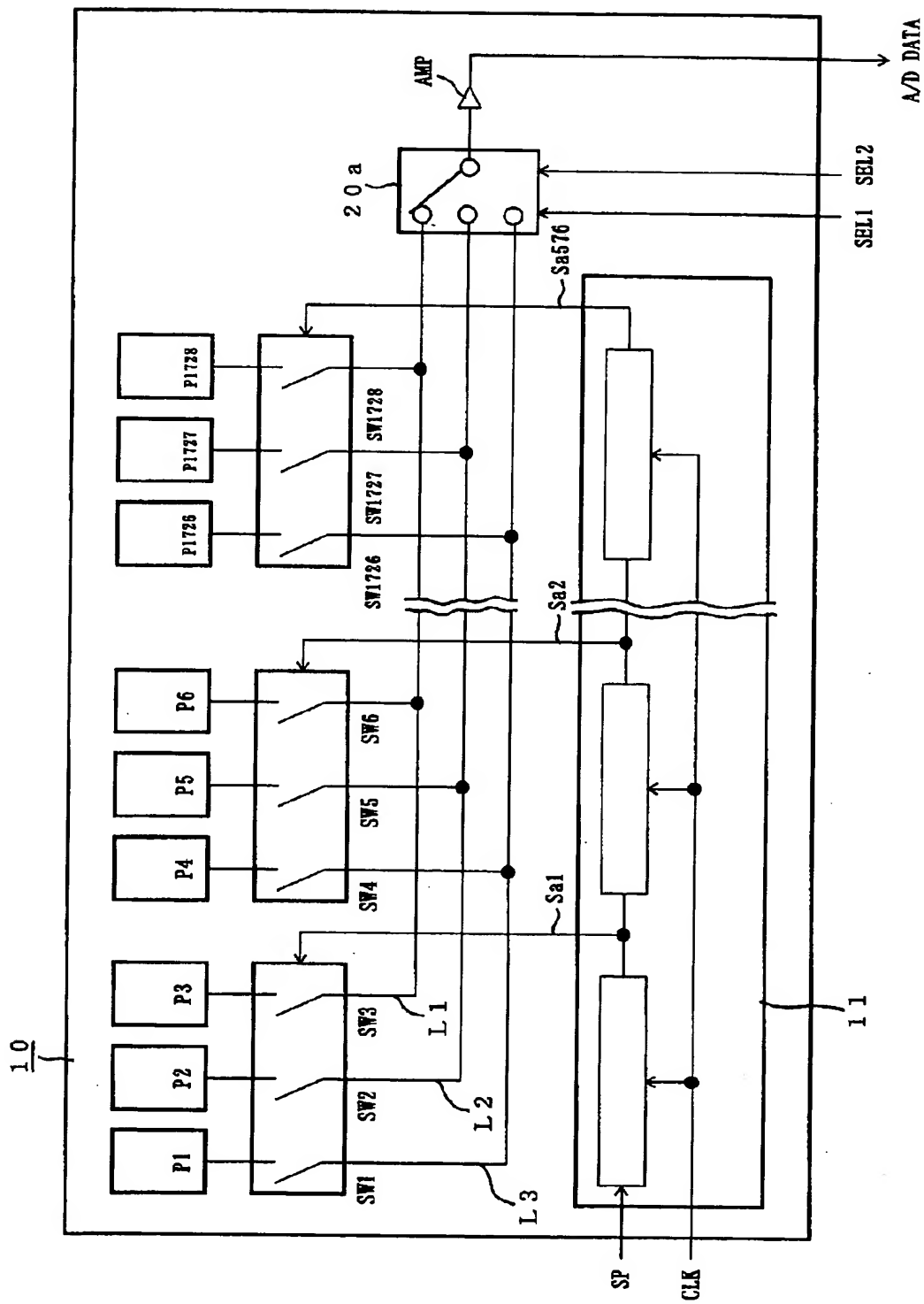
【図 10】



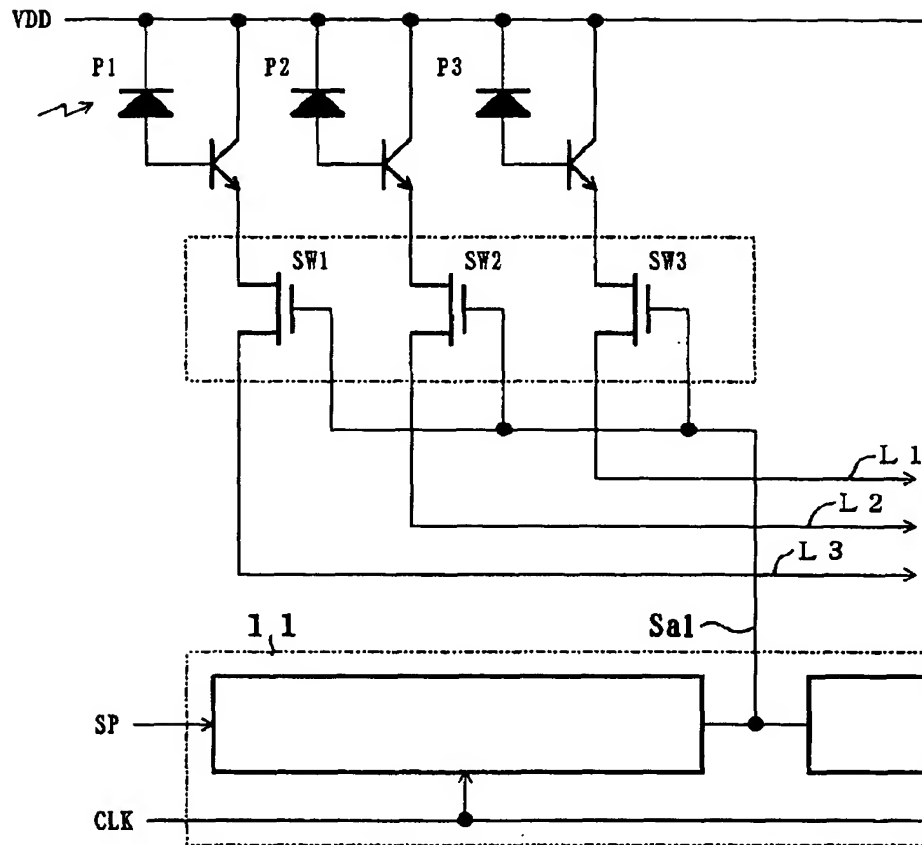
【図 11】



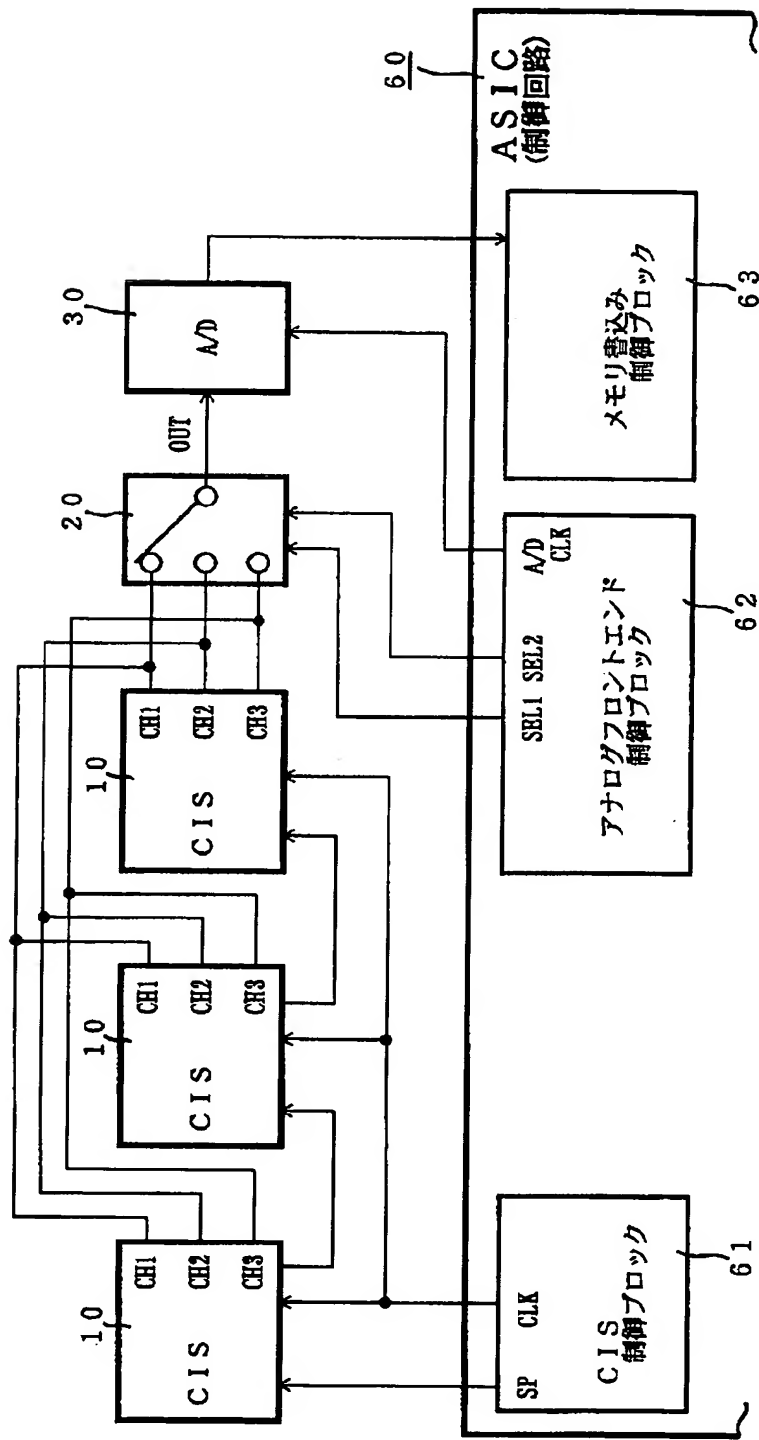
【図 12】



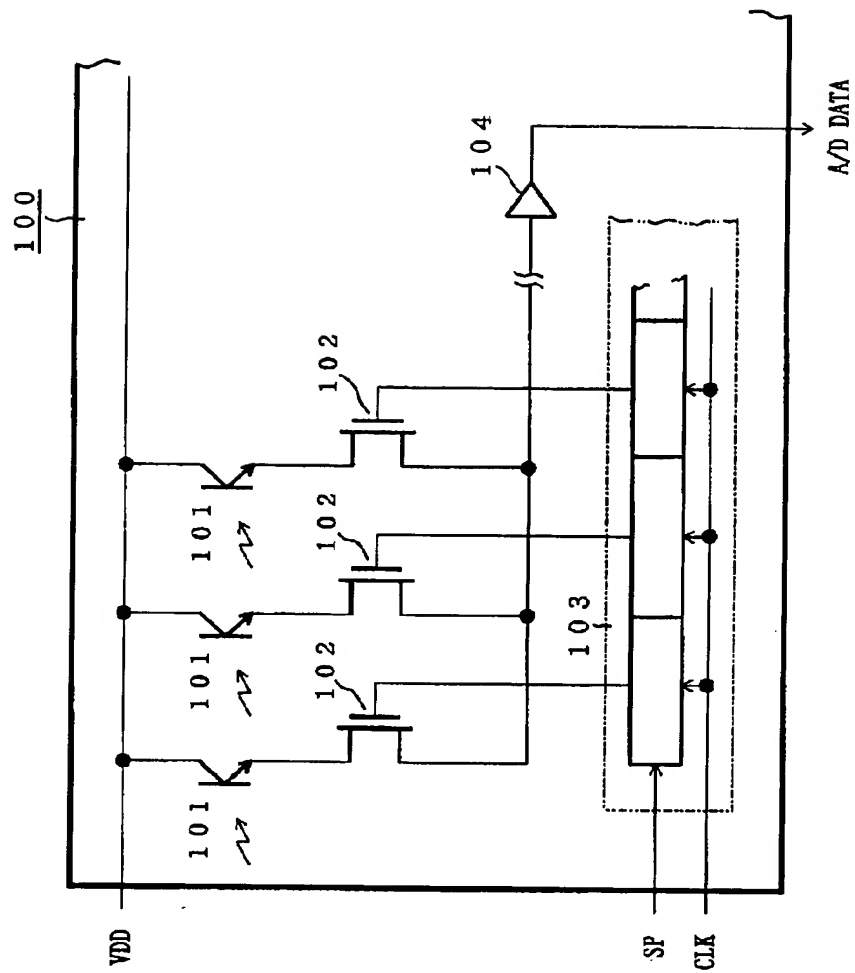
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 シフトレジスタのクロック信号を高速にしなくとも、高速読取りが可能で、読取解像度の切換も容易なMOS型イメージセンサを用いた画像読取装置を提供する。

【解決手段】 主走査方向に配列され、原稿からの反射光量に応じたアナログの読取画像信号を発生する複数のホトトランジスタ $P_1 \sim P_n$ と、その読取画像信号を読み出すために各ホトトランジスタに対応して設けられた複数のアナログスイッチ $SW_1 \sim SW_n$ とを有するMOS型イメージセンサ10において、複数のホトトランジスタ $P_1 \sim P_n$ を、互いに隣り合う3個ずつを1組として複数の組にブロック分けし、その各組に属する複数個のホトトランジスタからの画像信号を各組毎に同時に読み出す場合と、1個のホトトランジスタからの画像信号のみを読み出す場合とで、読取解像度の切換えを可能とする。

【選択図】 図1

特願 2 0 0 2 - 2 1 0 6 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 6 7]

1. 変更年月日

1 9 9 0 年 1 1 月 5 日

[変更理由]

住所変更

住 所

愛知県名古屋市瑞穂区苗代町 1 5 番 1 号

氏 名

ブラザー工業株式会社